

Korean Patent Abstracts

(11) Publication Number : **01108659**

(43) Date of publication of application : 08.12.2001

(21) Application number: 94037050

(22) Date of filing: 28.12.1994

(71) Applicant: SAMSUNG ELECTRONICS CO., LTD

Jong-Yong YOON

(72) Inventor: Gi-Yeon PRAK

416 Maetan 3-dong, Paldal-gu, Suwon-si, Gyeonggi-do, Korea

Heung-Soo PARK

319-1601 Olympic Apt., Bangyi-dong, Songpa-gu, Seoul

Yoo-Yeong PRK

541-706 Baeksulmaul Sungji Apt., Jeongja 1-dong, Jangan-gu, Suwon-si,
Gyeonggi-do, Korea

(74) Attorney: Yeong-Pil LEE, Sang-Bin JEONG, Rae-Ho LEE

(51) Int'. Cl

H01L 21/8242

(54) Method of manufacturing capacitor of semiconductor device having tantalum oxide dielectric film

(57) Abstract:

Methods of forming Ta₂O₅ layers in a process chamber are disclosed. A Ta₂O₅ layer can be maintained at a first temperature that is less than a temperature for crystallization of the Ta₂O₅ layer. At least one of a position of the Ta₂O₅ layer in the process chamber relative to the heater and a pressure in the process chamber is changed to increase the temperature of the Ta₂O₅ layer to about the temperature for crystallization.

COPYRIGHT 2001 KIPO

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 21/8242	(11) 공개번호 (43) 공개일자	특2001-0108659 2001년12월08일
(21) 출원번호 (22) 출원일자	10-2000-0029303 2000년05월30일	
(71) 출원인	삼성전자 주식회사 윤종용 경기 수원시 팔달구 매탄3동 416 박기연	
(72) 발명자	서울특별시서대문구현저동극동아파트103동1304호 박홍수 서울특별시송파구방이동올림픽아파트319동1601호 박영욱 경기도수원시장안구정자1동백설마을성지아파트541동706호 이영필, 정상빈, 이래호	
(74) 대리인		

실사참구 : 있음

(54) 탄탈륨 산화막을 포함하는 반도체 소자의 커패시터의 제조방법

요약

Ta₂O₅ 유전막의 큐어링을 위한 저온 산화 공정과 Ta₂O₅ 유전막의 결정화를 위한 고온 열처리 공정을 동일한 처리실(process chamber) 내에서 인시튜(in-situ)로 행할 수 있는 반도체 소자의 커패시터의 제조 방법에 관하여 개시한다. 본 발명에 따른 커패시터 제조 방법에서는 반도체 기판상에 하부 전극을 형성한다. 상기 하부 전극 위에 Ta₂O₅막을 형성한다. 상면에 상기 반도체 기판을 재치할 수 있고 저항 발열체에 의하여 온도 조절되는 스테이지를 구비한 처리실 내에서 상기 Ta₂O₅막을 오존 분위기하에서 Ta₂O₅의 결정화 온도 이하의 온도로 어닐링하여 상기 Ta₂O₅막을 큐어링한다. 상기 처리실 내에서 상기 어닐링 단계와 인시튜로 상기 Ta₂O₅막을 Ta₂O₅의 결정화 온도 이상의 온도로 열처리하여 상기 Ta₂O₅막을 결정화시킨다. Ta₂O₅ 유전막 형성을 위한 큐어링 단계 및 결정화 단계를 행하는 데 있어서 리프트 핀의 높이를 조절하거나 처리실 내의 압력을 조절하는 방법으로 웨이퍼의 온도를 신속하게 변경시킨다.

도표도

도 1a

영세서

도면의 간단한 설명

도 1은 본 발명의 바람직한 실시예에 따른 커패시터 제조 방법에 사용될 수 있는 가스 처리 장치의 구성을 개략적으로 나타낸 종단측면도(縱斷側面圖)이다.

도 2는 본 발명에 따른 커패시터 제조 방법에서 Ta₂O₅막의 저온 산화 어닐 공정 및 고온 열처리 공정에서의 웨이퍼 온도 변화를 나타낸 도면이다.

도 3은 본 발명에 따른 커패시터 제조 방법에 적용되는 리프트 핀의 높이 변화에 따른 웨이퍼의 온도 변화를 나타낸 그래프이다.

도 4는 본 발명에 따른 커패시터 제조 방법에 적용되는 처리실 내의 압력 변화에 따른 웨이퍼의 온도 변화를 나타낸 그래프이다.

도 5a 내지 도 5f는 본 발명의 바람직한 실시예에 따른 커패시터 제조 방법을 설명하기 위한 단면도들이다.

도 6a 및 도 6b는 본 발명의 일 실시예에 따른 방법에 따라 리프트 핀의 높이 변화를 이용하여 Ta₂O₅막을 저온 산화 어닐링 및 고온 열처리하는 방법을 설명하기 위한 도면들로서, 각각 리프트 핀의 상승 및 하강 상태를 나타내는 도면이다.

도 7은 본 발명의 일 실시예에 따른 방법에 따라 처리실 내의 압력의 변화를 이용하여 Ta₂O₅막을 저온 산화 어닐링 및 고온 열처리하는 방법을 설명하기 위한 도면이다.

도 8은 본 발명에 따른 방법에 의하여 제조된 커패시터의 전기적 특성을 증래의 방법에 의하여 제조된 커

패시터와 비교하여 나타낸 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

12: 처리실, 14: 저항 발열체, 31: 스테이지, 75: 리프트 핀,
100: 반도체 기판, 110: 하부 전극, 112: 실리콘 질화막,
120: Ta₂O₅막, 120a: Ta₂O₅ 유전막, 124: 오존 분위기,
126: 분위기 가스, 130: 상부 전극.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자의 커패시터 제조 방법에 관한 것으로, 특히 Ta₂O₅ 유전막을 포함하는 커패시터의 제조 방법에 관한 것이다.

1 기가비트(Giga bit) 이상의 차세대 고밀도 DRAM용 커패시터의 유전막으로서 고유전율을 가지면서 실용화가 용이한 Ta₂O₅막에 대한 연구 개발이 이루어지고 있다. Ta₂O₅막을 실용화시키기 위하여는 내열성 향상 및 상부 전극 재료의 선택과 더불어 누설 전류 특성을 개선시키는 것이 매우 중요하다. 일반적으로, Ta₂O₅막은 열 CVD(Chemical Vapor Deposition) 방법으로 성막하지만, 소스 가스로서 Ta(OC₂H₅)₅와 O₂를 사용하기 때문에 Ta₂O₅막 내에 C 또는 수분 등의 불순물이 섞여서 누설 전류의 경로가 된다. 또한, 성막 후의 Ta₂O₅막은 비정질(amorphous) 상태여서 막질이 나쁘기 때문에 누설 전류가 매우 크며, 산소와의 결합력이 약하여 산소가 결핍되기 쉽다.

Ta₂O₅막에서의 누설 전류를 줄이고 막질 특성을 향상시키기 위하여, 통상적으로 Ta₂O₅막을 형성한 후 저온 산화 어닐 공정을 행함으로써 Ta₂O₅막 내의 산소 결핍을 보충하여 상기 Ta₂O₅막을 큐어링하고, 그 후속 공정으로서 산소 분위기에서 고온 열처리를 행하여 Ta₂O₅막을 결정화시키고 Ta₂O₅막 내의 불순물들을 제거한다.

저온 산화 어닐 공정에 의한 Ta₂O₅막의 큐어링은 주로 O₂ 또는 UV-O₂를 이용하여 행한다. 이 때의 큐어링 메커니즘은 다음과 같다. 즉, O₂가 UV의 조사에 의하여 O₂와 산소 단원자인 O로 분리되고, 여기서 분리된 산소 단원자가 Ta₂O₅막 내로 침투하여 Ta의 덩글링 결합 위치에 결합된다. UV-O₂ 어닐 공정을 너무 높은 온도에서 행하면, O₂에 의한 큐어링 효과는 작아지고, 열적 효과에 의한 큐어링이 진행된다. O₂ 또는 UV-O₂에 의한 저온 산화 어닐 공정은 Ta₂O₅막을 채용하는 커패시터에서 최악한 누설 전류 특성을 개선시키 고자 하는 것이므로, 적당한 범위의 낮은 온도에서 행하는 것이 바람직하다. 그리고, Ta₂O₅의 결정화는 720℃ 부근에서 이루어지는 것으로 알려져 있다. 따라서, Ta₂O₅막의 결정화를 위한 고온 열처리 공정은 720℃ 이상의 온도에서 행하는 것이 바람직하다.

만약 UV-O₂에 의한 어닐 공정을 Ta₂O₅의 결정화 온도 이상에서 행하면 Ta₂O₅막과 하부 전극과의 사이에 과도한 계면 산화를 초래하여 정전 용량이 절반 또는 그 이하로 감소하게 된다. 따라서, 과도한 계면 산화를 억제하고 O₂에 의한 큐어링 효과를 얻기 위하여는 UV-O₂에 의한 어닐 공정은 Ta₂O₅의 결정화 온도 이하에서 행해져야 하며, Ta₂O₅막의 결정화를 위한 고온 열처리 공정은 Ta₂O₅의 결정화 온도 이상에서 행해져야 한다.

그러나, 통상의 저항 가열식 히터(resistance heater)를 채용한 매엽식 설비에서는 가열 장치의 구성이 간단한 반면, 온도 변화 속도가 매우 느리다. 상기 설명한 Ta₂O₅막의 저온 산화 어닐 공정 및 고온 열처리 공정을 행하기 위하여는 상기 히터의 온도를 Ta₂O₅막의 저온 산화 어닐 공정의 적정 온도, 예를 들면 500℃ 이하의 온도로 유지한 후, Ta₂O₅막의 고온 열처리를 위하여 720℃ 이상으로 승온시켜야 한다. 이를 공정을 행하기 위하여 통상의 저항 가열식 히터를 채용한 매엽식 설비를 사용하는 경우에는 온도 변경 속도가 분당 수 ℃ 정도로 매우 늦고, 히터의 온도가 목표 온도까지 도달된 후에도 히터의 온도가 안정화되기까지 수십 분의 시간이 더 필요한 단점이 있다.

그에 따라, 종래의 기술에서는 Ta₂O₅막의 저온 산화 어닐 공정은 저항 가열식 히터를 채용한 매엽식 설비에서 행하고, 그 후속 공정인 고온 열처리 공정은 퍼니스(furnace) 형태의 별도의 장비를 이용하여 드라이 O₂ 어닐 방식으로 진행하였다.

그런데, 종래 기술에서와 같이 퍼니스 형태의 장비를 이용하여 고온 열처리 공정을 별도로 행하는 경우, 상기 퍼니스 내에서 Ta₂O₅의 결정화에 필요한 시간이 보통 30분~1시간 정도 소요되며, 그 전후에 소요되는 온도 상승 및 온도 하강 시간까지 감안하면 Ta₂O₅막의 고온 열처리 공정에만 총 4시간 이상이 소요되며 열적 부담(thermal budget)이 커지고, 공정이 복잡할 뿐 만 아니라 스루풋(throughput) 관점에서도 불리하였다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 종래 기술에서의 문제점을 해결하고자 하는 것으로, Ta₂O₅막의 큐어링을 위한 저온 산화 어닐 공정 및 결정화를 위한 고온 열처리 단계를 단순화하여 커패시터 형성 공정에서의 열적 부담을 줄이고 스루풋을 향상시킬 수 있는 커패시터의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 커패시터 제조 방법에서는 반도체 기판상에 하부 전극을 형성한다. 상기 하부 전극 위에 Ta₂O₅막을 형성한다. 상면에 상기 반도체 기판을 재치할 수 있고 저항 발열체에 의하여 온도 조절되는 스테이지를 구비한 처리실 내에서 상기 Ta₂O₅막을 오존 분위기하에서 Ta₂O₅의 결정화 온도 이하의 온도로 어닐링하여 상기 Ta₂O₅막을 큐어링한다. 상기 처리실 내에서 상기 어닐링 단계와 인시투로 상기 Ta₂O₅막을 Ta₂O₅의 결정화 온도 이상의 온도로 열처리하여 상기 Ta₂O₅막을 결정화시킨다.

상기 저항 발열체는 상기 큐어링 단계부터 상기 결정화 단계까지 Ta₂O₅의 결정화 온도 이상의 온도를 유지한다.

본 발명의 일 양태에 따른 커패시터 제조 방법에서는 상기 스테이지 위에서 상승 또는 하강될으로써 상기 반도체 기판과 상기 스테이지와의 사이의 거리를 조절할 수 있는 복수의 리프트 핀이 설치되어 있는 처리실을 이용한다. 여기서, 상기 큐어링 단계는 상기 반도체 기판이 상기 스테이지로부터 소정 거리 이격되도록 상기 리프트 핀이 상기 스테이지로부터 소정 높이 만큼 상승된 상태에서 행하고, 상기 결정화 단계는 상기 반도체 기판이 상기 스테이지와 접하도록 상기 리프트 핀이 상기 스테이지 위로 돌출되지 않은 상태에서 행한다.

상기 큐어링 단계는 상기 결정화 단계에서보다 더 낮은 압력 또는 결정화 단계에서와 동일한 압력하에서 행할 수 있다.

상기 큐어링 단계는 O₃ 또는 UV-O₃ 분위기하에서 행하고, 상기 결정화 단계는 O₂, N₂O, N₂, Ar 또는 He의 분위기하에서 행한다.

상기 큐어링 단계에서는 상기 반도체 기판의 온도가 650°C 이하로 유지되도록 하기 위하여 상기 스테이지 위로 돌출되는 상기 리프트 핀의 높이를 조절할 수 있다.

본 발명의 다른 양태에 따른 커패시터 제조 방법에서는 상기 큐어링 단계 및 결정화 단계를 각각 상기 반도체 기판이 상기 스테이지와 접하고 있는 상태에서 행하고, 상기 큐어링 단계는 상기 결정화 단계에서보다 더 낮은 압력에서 행한다.

이 때, 바람직하게는, 상기 큐어링 단계는 3 토르 이하의 압력하에서 행하고, 상기 결정화 단계는 5 ~ 300 토르의 압력하에서 행한다.

또한, 상기 큐어링 단계에서는 상기 반도체 기판의 온도가 650°C 이하로 유지되도록 하기 위하여 상기 처리실 내의 압력을 조절할 수 있다.

본 발명에 의하면, Ta₂O₅ 유전막 형성을 위한 큐어링 단계 및 결정화 단계를 행하는 데 있어서 리프트 핀의 높이를 조절하거나 처리실 내의 압력을 조절하는 방법으로 웨이퍼의 온도를 신속하게 변경시킬 수 있다. 또한, Ta₂O₅막의 저온 산화 어닐 공정 및 후속의 고온 열처리 공정을 동일한 처리실 내에서 인시투로 진행하므로, 커패시터의 유전막 형성 공정이 단순하게 되고, Ta₂O₅ 유전막 형성 공정에서 열적 부담(thermal budget)을 현저하게 줄일 수 있는 효과를 얻을 수 있다.

다음에, 본 발명의 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.

탄탈륨 산화막(Ta₂O₅막)에 대한 산소 분위기에서의 고온 열처리 공정은, 그 효과로 얻어지는 상기 Ta₂O₅막의 결정화에 의하여 Ta₂O₅막의 신뢰성을 확보하고 유전율을 향상시킬 수 있으므로, 필수적으로 거쳐야 하는 공정이다.

본 발명에 따른 커패시터 제조 방법에서는 하부 전극 위에 Ta₂O₅막을 증착한 후, 오존 분위기하에서 Ta₂O₅막의 산소 결핍을 보충하기 위한 저온 산화 공정 및 Ta₂O₅막의 결정화를 위한 고온 열처리 공정을 저항 가열식 히터를 채용하는 통상의 매엽식 설비를 사용하여 하나의 처리실(process chamber) 내에서 인시투(in-situ)로 행한다.

도 1은 본 실시예에 따른 커패시터 제조 방법에서 Ta₂O₅막을 저온 산화 어닐 및 고온 열처리하는 데 사용될 수 있는 기존의 가스 처리 장치의 구성을 예시한 것이다. 도 1에서는 일본 도쿄 소세 동경 일렉트론 주식회사(Tokyo Electron Limited) 제품의 CVD 설비에 포함된 구성을 참조하여 도시한 것이다.

도 1에서, 처리실(process chamber)(12)의 상부에는 소정의 처리 가스를 상기 처리실(12) 내에 공급하기 위한 가스 공급부(21)가 배치되어 있다. 상기 가스 공급부(21)에는 웨이퍼(W)와 대향하는 저면에 복수의 홀(21a)이 형성되어 있으며, 이들을 통하여 처리 가스가 아래로 공급된다.

상기 처리실(12)의 저부에는 배기관(22)이 접속되어 있고, 진공 펌프(23)에 의해 처리실(12) 내부를 소정의 진공도로 유지시킬 수 있다.

또한, 상기 처리실(12)의 저부에는 상기 가스 공급부(21)와 대향하도록 케이스(13)가 설치되어 있다. 이 케이스(13)는 그 위에 웨이퍼(W)가 재치되는 스테이지(31)를 갖춘 상부 원통체(32)를 포함한다. 상기 상부 원통체(32) 내에는 가열 수단인 저항 발열체(resistance heating body)(14)가 설치되어 있다. 상기 저항 발열체(14)는 상기 스테이지(31)의 바로 아래 위치되어 있다. 상기 저항 발열체(14)에는 2개의

급전선(給電線)(15a, 15b)이 접속되어 있고, 이들 급전선(15a, 15b)은 상기 처리실(12) 외부의 전원부(25)에 접속되어 있다. 상기 저항 발열체(14)에는 온도 측정용 써모커플(thermocouple)(16)이 연결되어 있고, 상기 써모커플(16)은 외부의 온도 제어부(62)에 접속되어 있다.

상기 처리실(12)의 외부에는 상기 케이스(13) 내부로 불활성 가스를 공급하기 위한 불활성 가스 공급관(43)과, 상기 케이스(13) 내부로부터 불활성 가스를 배기시키기 위한 불활성 가스 배기관(44)이 설치되어 있다. 상기 불활성 가스 공급관(43)으로부터 공급되는 불활성 가스에 의하여 상기 케이스(13) 내부는 불활성 가스 분위기로 될 수 있도록 구성되어 있다.

상기 케이스(13)의 상부 원통체(32) 내에는 상기 상부 원통체(32)의 상면으로부터 저면까지 관통하도록 홀(73)이 형성되어 있고, 링(ring) 형상의 리프트 플레이트(74)에 고정되어 있는 3개의 리프트 핀(75)이 상기 스테이지(31)로부터 상승 또는 하강될 수 있도록 상기 홀(73) 내에 승강자재(昇降自在)로 삽입되어 있다. 상기 리프트 플레이트(74)는 리프트 축(76)을 통하여 승강 기구(77)에 연결되어 있다.

도 1의 처리실(12)과 같은 구성을 갖춘 매엽식 설비를 이용하여, 상기 처리실(12) 내에서 Ta_2O_5 막의 산소 결핍을 보충하여 큐어링하기 위한 저온 산화 공정과 Ta_2O_5 막의 결정화를 위한 고온 열처리 공정을 인시튜(in-situ)로 행하는 데 있어서, 상기 저온 산화 공정, 즉 큐어링 공정은 Ta_2O_5 막의 결정화 온도 이하에서 진행하고, 후속의 고온 열처리 공정, 즉 결정화 공정은 웨이퍼의 온도를 올린 상태에서 O_2 를 제외한 가스를 사용하여 행한다.

도 2는 Ta_2O_5 막이 형성된 웨이퍼에 대하여 본 발명의 방법에 따라 상기 처리실(12) 내에서 상기 Ta_2O_5 막의 큐어링을 위한 저온 산화 공정 및 상기 Ta_2O_5 막의 결정화를 위한 고온 열처리 공정을 인시튜로 행하는 데 있어서, 상기 처리실(12) 내에서의 바람직한 웨이퍼 온도 변화를 나타낸 도면이다.

즉, 기존의 저항 가열식 히터의 온도 변화 속도가 느린 점을 감안하여 상기 저항 발열체(14)의 온도를 변화시키기 위한 시간 소모를 배척하기 위하여, 상기 저항 발열체(14)의 온도는 상기 Ta_2O_5 막의 결정화가 가능한 온도, 예를 들면 $750^{\circ}C$ 로 설정하여 그대로 유지시키고, 상기 처리실(12) 내에서 웨이퍼의 온도를 상기 저온 산화 공정시에는 Ta_2O_5 막의 결정화 온도 이하로 유지하다가 저온 산화 공정이 종료된 후에는 결정화 온도까지 신속하게 승온시켜야 한다.

본 발명에 따른 방법에서는 상기 처리실(12) 내에서 웨이퍼의 온도를 신속하게 변경시키기 위하여 상기 리프트 핀(75)의 높이를 조절하는 방법과 상기 처리실(12) 내의 압력을 변화시키는 방법을 이용한다.

상기 두 가지 방법에 의한 웨이퍼의 온도 조절 가능성을 확인하기 위하여, 상기 저항 발열체(14)의 온도는 일정하게 유지시킨 상태에서, 상기 리프트 핀(75)의 높이 변화 및 상기 처리실(12) 내에서의 압력 변화에 따라 웨이퍼의 온도 변화를 각각 측정하였다. 그 결과를 각각 도 3 및 도 4에 나타내었다.

도 3은 리프트 핀의 높이 변화에 따른 웨이퍼의 온도 변화를 나타낸 그래프이다. 도 3의 결과를 얻기 위하여, 상기 처리실(12) 내부를 1 밀리토르(mTorr)의 진공으로 유지하고, 상기 저항 발열체(14)의 온도를 $750^{\circ}C$ 로 유지하면서, 상기 리프트 핀(75)을 상기 스테이지(31)로부터 각각 0 mm, 1 mm, 2 mm 및 3 mm 만큼 상승시킨 상태에서 상기 리프트 핀(75)으로 웨이퍼를 지지함으로써, 웨이퍼가 상기 스테이지(31)로부터 각각 상기 상승 거리 만큼 이격되도록 하고, 그 때의 각각의 웨이퍼 온도를 측정하였다. 도 3의 결과에서는, 리프트 핀(75)의 상승 높이가 1 mm 높아질 때 마다 웨이퍼의 온도는 약 $5^{\circ}C$ 낮아지는 것으로 나타났다.

도 4는 처리실 내의 압력 변화에 따른 웨이퍼의 온도 변화를 나타낸 그래프이다. 도 4의 결과를 얻기 위하여, 상기 저항 발열체(14)의 온도는 $750^{\circ}C$ 로 유지하면서, 웨이퍼가 상기 웨이퍼 지지면(31)과 접한 상태에서 상기 처리실(12) 내의 압력을 1.0 토르(Torr)부터 30.0 토르까지 변화시키면서 웨이퍼의 온도를 측정하였다. 도 4의 결과로부터, 처리실 내의 압력이 낮아질수록 웨이퍼의 온도가 낮아지는 것을 알 수 있다.

도 3 및 도 4의 결과로부터, 처리실 내에서 저항 발열체의 온도는 일정하게 유지시킨 상태에서, 리프트 핀의 높이를 조절하는 방법 또는 처리실 내의 압력을 조절하는 방법을 이용하여 상기 처리실 내에서 웨이퍼의 온도를 조절할 수 있다는 것을 확인하였다.

도 5a 내지 도 5f는 본 발명의 바람직한 실시예에 따른 커패시터 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 5a를 참조하면, 반도체 기판(100)상에 예를 들면 도핑된 폴리실리콘으로 이루어지는 하부 전극(110)을 형성한다.

도 5b를 참조하면, 상기 하부 전극(110)이 형성된 결과물상에서 노출된 Si 표면을 RTN(Rapid Thermal Nitridation)으로 약 15 ~ 20 Å 두께로 질화하여 실리콘 질화막(112)을 형성한다.

도 5c 내지 도 5e는 Ta_2O_5 유전막(120a)을 형성하는 과정을 설명하기 위한 단면도들이다.

구체적으로 설명하면, 도 5c에서와 같이 상기 실리콘 질화막(112) 위에 Ta_2O_5 막(120)을 형성한다.

그 후, 도 5d에 나타낸 바와 같이 예를 들면 O_2 또는 $UV-O_3$ 와 같은 오존 분위기(124)하에서 저온 산화 어닐 공정에 의하여 상기 Ta_2O_5 막(120)을 Ta_2O_5 의 결정화 온도 이하의 온도로 어닐링하여 상기 Ta_2O_5 막(120) 내의 산소 결핍을 보충함으로써, 상기 Ta_2O_5 막(120)을 큐어링한다. 상기 저온 산화 어닐 공정은 가열 수단으로서 저항 발열체를 사용하고 있는 처리실 내에서 행하여진다.

이 공정을 위하여 도 1에 도시한 바와 같은 설비를 이용할 수 있다. 여기서, 상기 저항 발열체(14)의 온도는 Ta_2O_5 의 결정화 온도 이상, 예를 들면 $750^{\circ}C$ 로 유지한 상태에서 도 5a에 도시한 바와 같이 상기 리

포트 핀(75)을 상기 스테이지(31)로부터 소정 거리(d), 예를 들면 2 mm 상승시켜서 상기 반도체 기판(100)이 상기 스테이지(31)로부터 2 mm 이격된 상태로 상기 리프트 핀(75) 위에 지지되도록 한다. 그 결과, 상기 이격된 거리에 의하여 상기 반도체 기판(100)의 온도가 상기 저항 발열체(14)의 설정 온도까지 상승되는 것이 억제되어, 상기 반도체 기판(100)의 온도를 T_{a,Q_0} 의 결정화 온도 이하인 650°C 이하의 온도로 유지시킬 수 있다. 이 때, 상기 리프트 핀(75)의 높이를 조절하여 상기 반도체 기판(100)의 온도를 적절히 조절할 수 있다. 상기 리프트 핀(75)을 상승시킨 상태에서 상기 반도체 기판(100)의 온도가 안정화되는 동안 또는 안정화된 후에 Q_0 를 상기 처리실(12) 내에 공급하여 상기 저온 산화 어닐 공정을 행한다.

여기서, 상기 처리실(12)의 압력은 300 토르 이하로 유지하는 것이 바람직하다. 상기 저온 산화 어닐 공정은 약 30초 ~ 5분, 바람직하게는 약 2분 동안 행한다.

도 5d의 저온 산화 어닐 단계에서, 상기 반도체 기판(100)의 온도를 더욱 효과적으로 조절하기 위하여 상기 리프트 핀(75)을 도 6a에 도시한 바와 같이 상승시킨 상태에서 상기 처리실(12) 내의 압력을 더욱 낮추는 방법을 적용하는 것도 가능하다.

이어서, 도 5a에 나타난 바와 같이, 상기 처리실(12) 내에서 상기 저온 산화 어닐 공정과 인시트로 상기 T_{a,Q_0} 막(120)을 T_{a,Q_0} 의 결정화 온도 이상의 온도로 열처리하여 상기 T_{a,Q_0} 막(120)을 결정화시켜서 원하는 T_{a,Q_0} 유전막(120a)을 얻는다. 이 때, 상기 저항 발열체(14)의 온도는 이미 T_{a,Q_0} 의 결정화 온도 이상의 온도, 예를 들면 750°C로 유지되어 있으므로, 상기 리프트 핀(75)을 도 6b에 도시한 바와 같은 위치로 내리기만 하면 상기 반도체 기판(100)의 온도를 T_{a,Q_0} 의 결정화 온도 이상으로 조절할 수 있다.

따라서, 상기 저온 산화 어닐 공정이 종료되면 상기 리프트 핀(75)을 내려서 상기 반도체 기판(100)과 상기 스테이지(31)가 접하게 함으로써 상기 반도체 기판(100)의 온도를 상기 저항 발열체(14)의 설정 온도인 T_{a,Q_0} 의 결정화 온도 이상으로 올린다. 즉, 도 5e의 고온 열처리 단계는 도 6b에 도시한 바와 같이 상기 반도체 기판(100)과 상기 스테이지(31)가 서로 접하고 있는 상태에서 행한다. 상기 반도체 기판(100)의 온도가 T_{a,Q_0} 의 결정화 온도까지 승온되는 동안 또는 승온된 후에 상기 반도체 기판(100)상에 분위기 가스(126), 예를 들면 O_2 , N_2O , N_2 , Ar , He 등을 공급하면서 상기 고온 열처리 공정을 행한다. 상기 고온 열처리 공정은 약 30초 ~ 5분, 바람직하게는 약 2분 동안 행한다. 이 때, 상기 처리실(12) 내의 압력은 300토르 이하로 유지하는 것이 바람직하다.

여기서, 상기 저온 산화 어닐 공정 및 고온 열처리 공정에서 상기 반도체 기판(100)의 온도를 더욱 효과적으로 조절하기 위하여, 상기 저온 산화 어닐 공정시의 압력을 상기 고온 열처리 공정시의 압력보다 더 낮게 설정할 수 있다.

상기 T_{a,Q_0} 막의 저온 산화 어닐 공정 및 고온 열처리 공정을 인시트로 행하기 위한 다른 방법으로서, 도 5d의 공정 및 도 5e의 공정을 상기 처리실(12) 내에서 인시트로 연속적으로 진행하되, 상기 리프트 핀(75)을 상승 및 하강시키는 방법을 이용하지 않고, 상기 처리실(12) 내의 압력을 변화시키는 방법을 이용할 수도 있다.

도 7은 압력의 변화를 이용하는 방법을 설명하기 위한 도면이다. 도 7을 참조하면, 도 6b에 도시한 바와 같이 상기 반도체 기판(100)과 상기 스테이지(31)가 서로 접해있는 상태에서, 상기 저항 발열체(14)의 온도는 T_{a,Q_0} 의 결정화 온도 이상으로 유지시키고, 상기 처리실(12) 내의 압력을 저온 산화 단계에서는 3 토르 이하, 바람직하게는 2토르 이하의 낮은 제1 압력(P_1)으로 유지하면서 상기 오존 분위기(124) 하에서 저온 산화 어닐 공정을 행하고, 상기 제1 압력(P_1) 보다 높은 제2 압력(P_2)에서 도 5e를 참조하여 설명한 방법과 같은 방법으로 고온 열처리 공정을 행한다. 상기 제2 압력(P_2)은 5~300토르의 범위 내에서 설정하는 것이 바람직하다. 이와 같이 압력의 변화를 이용하는 방법에서는 저온 산화 단계에서 상기 반도체 기판(100)이 상기 스테이지(31)와 접해있어도 상기 제1 압력(P_1)으로 낮게 설정된 압력에 의하여 상기 반도체 기판(100)의 온도는 T_{a,Q_0} 의 결정화 온도 이하로 유지될 수 있다.

상기 T_{a,Q_0} 유전막(120a)이 얻어진 후, 그 위에 도 5f에 도시한 바와 같이 상부 전극(130)을 형성하여 커패시터를 완성한다.

도 8은 본 발명에 따른 방법에 의하여 제조된 커패시터의 전기적 특성을 종래의 방법에 의하여 제조된 커패시터와 비교하여 평가한 그래프이다. 보다 구체적으로 설명하면, 본 발명에 따른 커패시터 제조 방법에 따라 리프트 핀의 높이를 조절하는 방법으로 T_{a,Q_0} 막에 대하여 저온 산화 어닐 공정에 의한 큐어링 및 고온 열처리 공정에 의한 결정화를 행한 경우(Δ)와, 종래의 방법에서와 같이 T_{a,Q_0} 막을 저온 산화 어닐링한 후 퍼니스 형태의 다른 장비를 이용하여 드라이 O_2 어닐 방식으로 고온 열처리 공정을 행한 경우(\square)를 비교한 것이다.

여기서, 본 발명에 따른 방법의 경우(Δ), 저항 발열체의 온도는 750°C로 유지시키면서, 리프트 핀을 스테이지로부터 2 mm 상승시킨 상태에서 UV- O_3 어닐을 2분간 행함으로써 T_{a,Q_0} 막을 저온 산화 어닐링하여 큐어링하고, 이어서 리프트 핀을 완전히 하강시켜서 웨이퍼와 스테이지가 접해있는 상태에서 분위기 가스로서 O_2 를 사용하여 고온 열처리 공정을 2분간 행하여 T_{a,Q_0} 막을 결정화시켰다.

그 결과, 도 8에서 확인할 수 있는 바와 같이, 본 발명에 따른 방법으로 제조된 커패시터에서는, 하나의 처리실 내에서 단순한 공정으로 T_{a,Q_0} 막을 비교적 짧은 시간 내에 큐어링 및 결정화시킬 수 있음에도 불구하고, 종래의 방법에 의하여 얻어진 커패시터에서와 동등한 수준의 누설 전류 특성이 얻어졌다.

발명의 효과

본 발명에 따른 커패시터 제조 방법에서는 Ta_2O_5 막을 큐어링 및 결정화시키기 위하여 저항 발열체로 구성된 가열 수단을 구비한 처리실을 갖춘 제조 설비를 이용한다. 상기 처리실 내에서 상기 저항 발열체의 온도는 Ta_2O_5 의 결정화가 가능한 온도로 고정시킨 상태에서, Ta_2O_5 막을 Ta_2O_5 의 결정화 온도 이하에서 어닐링하여 큐어링하기 위하여 오존 분위기에서 리프트 핀을 상승시키거나 처리실 내부를 저압으로 유지하면서 저온 산화 어닐 공정을 행한다. Ta_2O_5 막의 결정화에 필요한 고온 열처리 공정은 리프트 핀을 하강시켜 웨이퍼와 스테이지가 접해있는 상태에서 상기 저온 산화 어닐 공정과 인시튜로 진행한다.

본 발명에 따른 커패시터 제조 방법에 의하면, 저항 발열체의 온도를 Ta_2O_5 의 결정화 온도 이상으로 설정한 상태에서 리프트 핀의 높이를 조절하거나 처리실 내의 압력을 조절하는 방법으로 웨이퍼의 온도를 신속하게 변경시킬 수 있다. 또한, Ta_2O_5 막의 저온 산화 어닐 공정 및 후속의 고온 열처리 공정을 동일한 처리실 내에서 인시튜로 진행하므로, 종래 기술에서 필요로 하였던 퍼니스 형태의 별도의 장비를 사용할 필요가 없으며, 따라서 장시간을 요하는 드라이 오븐 공정을 생략할 수 있다. 따라서, 본 발명에 따르면, 커패시터의 유전막 형성 공정이 단순하게 되고, Ta_2O_5 유전막 형성 공정에서 열적 부담(thermal budget)을 현저하게 줄일 수 있는 효과를 얻을 수 있다. 따라서, 스루풋이 향상되므로 본 발명을 양산 공정에 유리하게 적용할 수 있다.

이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

(57) 청구의 범위

청구항 1. 반도체 기판상에 하부 전극을 형성하는 단계와,

상기 하부 전극 위에 Ta_2O_5 막을 형성하는 단계와,

상면에 상기 반도체 기판을 재치할 수 있고 저항 발열체에 의하여 온도 조절되는 스테이지를 구비한 처리실 내에서 상기 Ta_2O_5 막을 오존 분위기하에서 Ta_2O_5 의 결정화 온도 이하의 온도로 어닐링하여 상기 Ta_2O_5 막을 큐어링하는 단계와,

상기 처리실 내에서 상기 어닐링 단계와 인시튜로 상기 Ta_2O_5 막을 Ta_2O_5 의 결정화 온도 이상의 온도로 열처리하여 상기 Ta_2O_5 막을 결정화하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 2. 제1항에 있어서, 상기 저항 발열체는 상기 큐어링 단계부터 상기 결정화 단계까지 Ta_2O_5 의 결정화 온도 이상의 온도를 유지하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 3. 제2항에 있어서,

상기 처리실에는 상기 스테이지 위에서 상승 또는 하강됨으로써 상기 반도체 기판과 상기 스테이지와의 사이의 거리를 조절할 수 있는 복수의 리프트 핀이 설치되어 있고,

상기 큐어링 단계는 상기 반도체 기판이 상기 스테이지로부터 소정 거리 이격되도록 상기 리프트 핀이 상기 스테이지로부터 소정 높이 만큼 상승된 상태에서 행하고,

상기 결정화 단계는 상기 반도체 기판이 상기 스테이지와 접하도록 상기 리프트 핀이 상기 스테이지 위로 돌출되지 않은 상태에서 행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 4. 제3항에 있어서, 상기 큐어링 단계 및 결정화 단계에서 상기 저항 발열체의 온도는 750°C로 설정되는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 5. 제3항에 있어서, 상기 큐어링 단계 및 결정화 단계는 300 토르 이하의 압력하에서 행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 6. 제3항 내지 제5항중 어느 한 항에 있어서, 상기 큐어링 단계는 상기 결정화 단계에서보다 더 낮은 압력하에서 행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 7. 제3항 내지 제5항중 어느 한 항에 있어서, 상기 큐어링 단계 및 결정화 단계는 동일한 압력하에서 행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 8. 제3항에 있어서, 상기 큐어링 단계는 O_2 또는 $UV-O_2$ 분위기하에서 행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 9. 제3항에 있어서, 상기 결정화 단계는 O_2 , N_2O , N_2 , Ar 또는 He의 분위기하에서 행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 10. 제3항에 있어서, 상기 큐어링 단계에서는 상기 반도체 기판의 온도가 650°C 이하로 유지되도록 하기 위하여 상기 스테이지 위로 돌출되는 상기 리프트 핀의 높이를 조절하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 11. 제3항에 있어서, 상기 큐어링 단계는 30초 ~ 5분 동안 행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

정답 12. 제 35번 있어서, 상기 결정화 단계는 30초 ~ 5분 동안 행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 13. 제2항에 있어서,

상기 큐어링 단계 및 결정화 단계는 각각 상기 반도체 기판이 상기 스테이지와 접하고 있는 상태에서 행하고,

상기 큐어링 단계는 상기 결정화 단계에서보다 더 낮은 압력에서 행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

정답 14. 제 13항에 있어서, 상기 큐어링 단계 및 결정화 단계에서 상기 저항 발열체의 온도는 750℃로 설정되는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

평가항 15. 제13항에 있어서, 상기 큐어링 단계 및 결정화 단계는 300 토르 이하의 압력하에서 행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

정구항 16. 제13항 내지 제15항중 어느 한 항에 있어서, 상기 큐어링 단계는 3 토르 이하의 압력하에서 행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 17. 제13항 내지 제15항중 어느 한 항에 있어서, 상기 결정화 단계는 5 ~ 300 토르의 압력하에서 행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

정구할 18. 제 13항에 있어서, 상기 큐어링 단계는 Q_1 또는 UV- Q_1 분위기하에서 행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

평가항 19. 제13항에 있어서, 상기 결정화 단계는 O_2 , N_2O , N_2 , Ar 또는 He의 분위기하에서 행하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

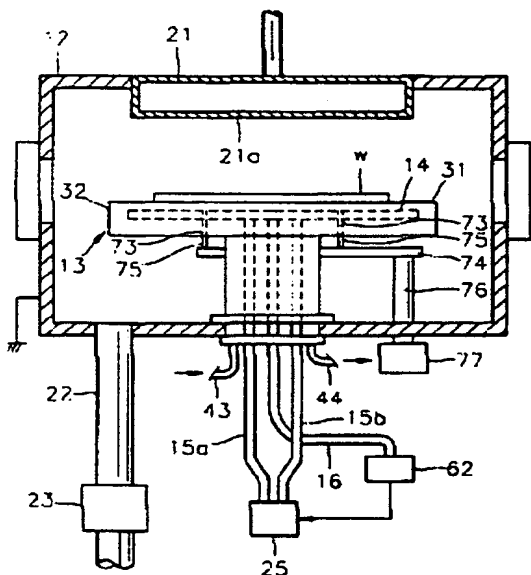
참고항 20. 제 13항에 있어서, 상기 큐어링 단계에서는 상기 반도체 기판의 온도가 650℃ 이하로 유지되도록 하기 위하여 상기 처리실 내의 압력을 조절하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

정구항 21. 제13항에 있어서, 상기 큐어링 단계는 30초~5분 동안 행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

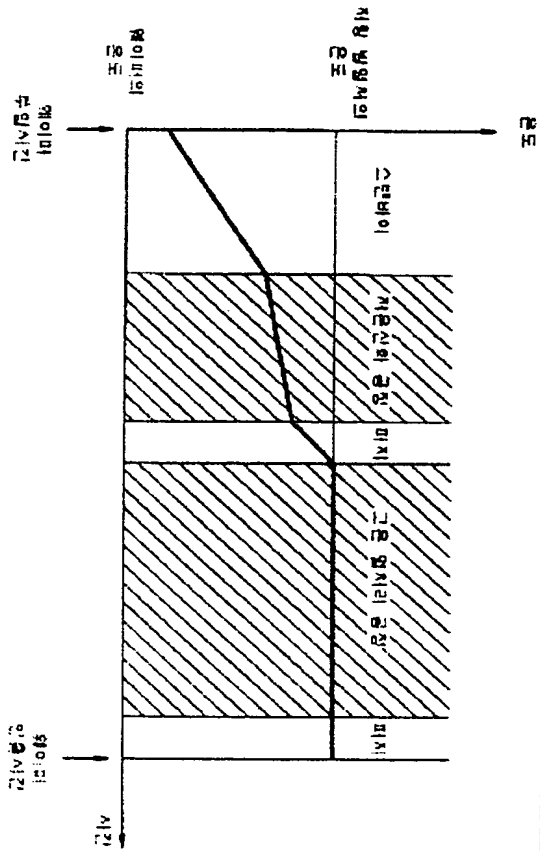
청구항 22. 제13항에 있어서, 상기 결정화 단계는 30초~5분 동안 행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

52

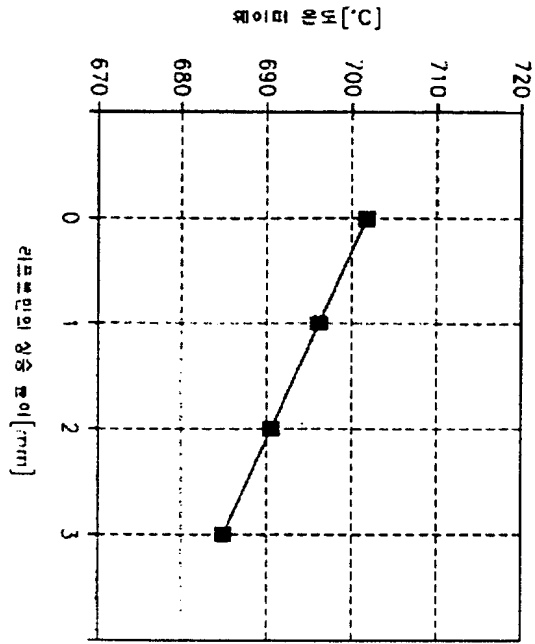
505



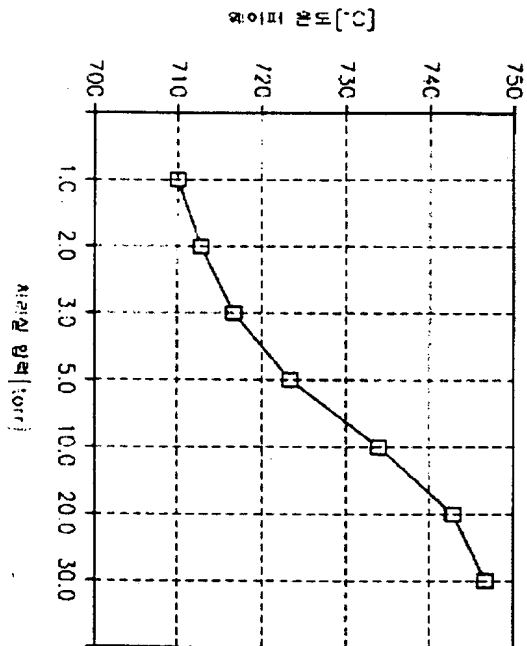
도 12



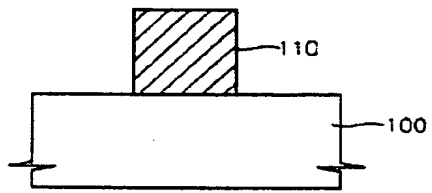
도 2B3



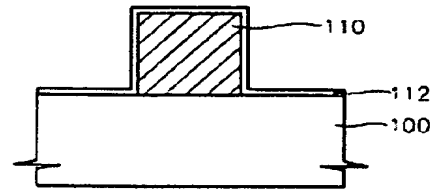
도 2B4



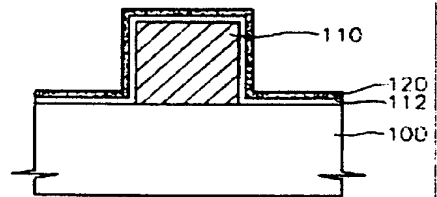
도면5a



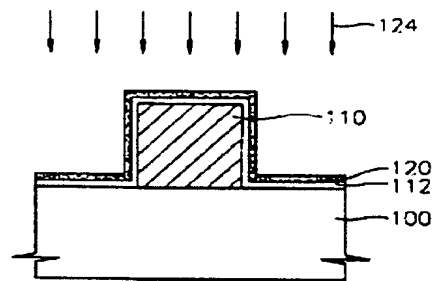
도면5b



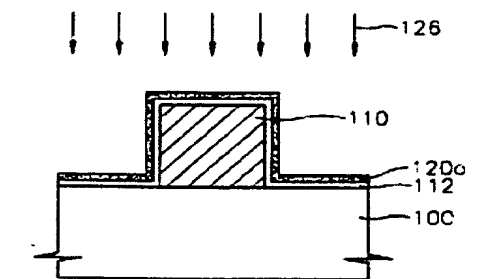
도면5c



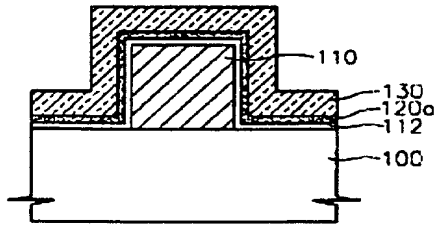
도면5d



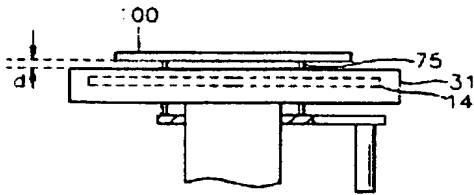
도면5e



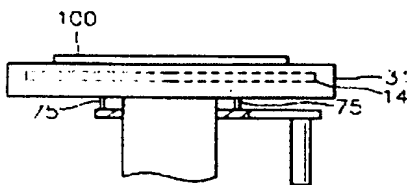
도면5



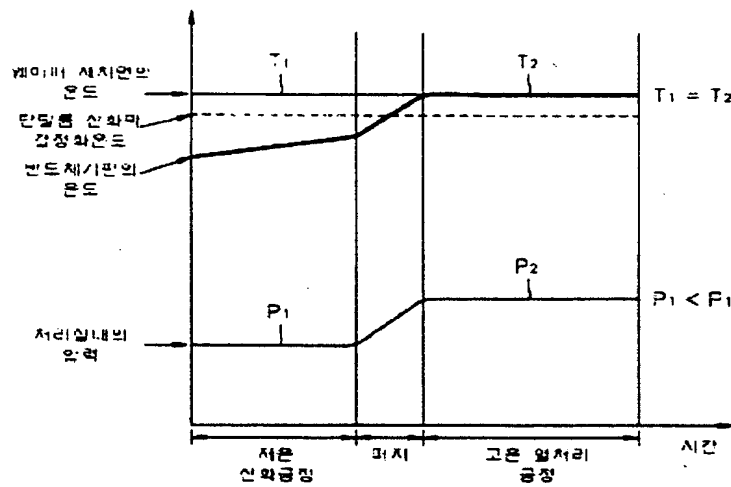
도면6a



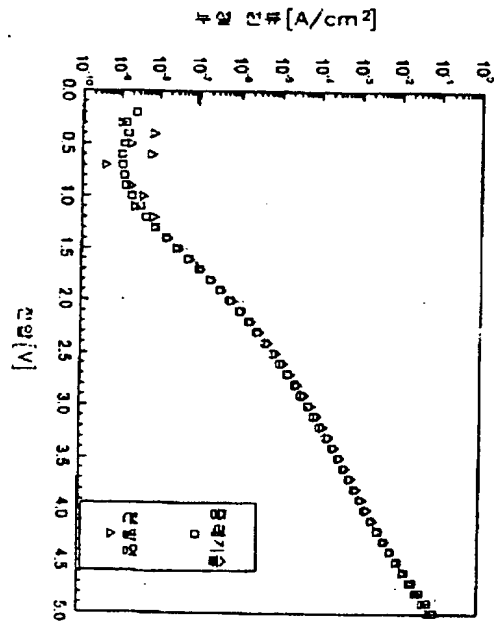
도면6b



도면7



528



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.